

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : **08-508625**

(43) Date of publication of application : **10.09.1996**

(51) Int.Cl. **H03H 19/00**

(21) Application number : **06-522487**

(71) Applicant : **ANALOG DEVICES, INC..**

(22) Date of filing : **06.04.1994**

(72) Inventor : **KWAN, Tom, W.**

**FERGUSON, Paul, F., Jr.**

**LEE, Wai, L..**

### **(54) DOUBLE SAMPLED BIQUAD SWITCHED CAPACITOR FILTER**

#### **(57) Abstract :**

A biquad switched capacitor filter is preferably utilized as the output filter in a sigma delta digital-to-analog converter. The switched capacitor filter uses a cross-coupled switched capacitor circuit which delivers charge to the capacitors on both phases of the clock. As a result, the sizes of the capacitors can be reduced by a factor of two, while delivering the same charge as a single sampling circuit. By using the cross-coupled switching circuit everywhere in the filter, the sensitivity to capacitor mismatches is substantially reduced. The clock phases applied to the stages of the filter are alternated so that there is a one clock cycle delay around each loop containing two filter stages, thereby insuring the stability of the filter.

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平8-508625

(43) 公表日 平成8年(1996)9月10日

(51) Int.Cl.<sup>6</sup>  
H 03 H 19/00

識別記号  
8842-5 J

F I  
H 03 H 19/00

審査請求 未請求 予備審査請求 有 (全 27 頁)

(21) 出願番号 特願平6-522487  
(86) (22) 出願日 平成6年(1994)4月6日  
(85) 翻訳文提出日 平成7年(1995)10月6日  
(86) 國際出願番号 PCT/US 94/03785  
(87) 國際公開番号 WO 94/23494  
(87) 國際公開日 平成6年(1994)10月13日  
(31) 優先権主張番号 08/043,402  
(32) 優先日 1993年4月6日  
(33) 優先権主張国 米国(US)  
(81) 指定国 EP(AT, BE, CH, DE,  
DK, ES, FR, GB, GR, IE, IT, LU, M  
C, NL, PT, SE), JP

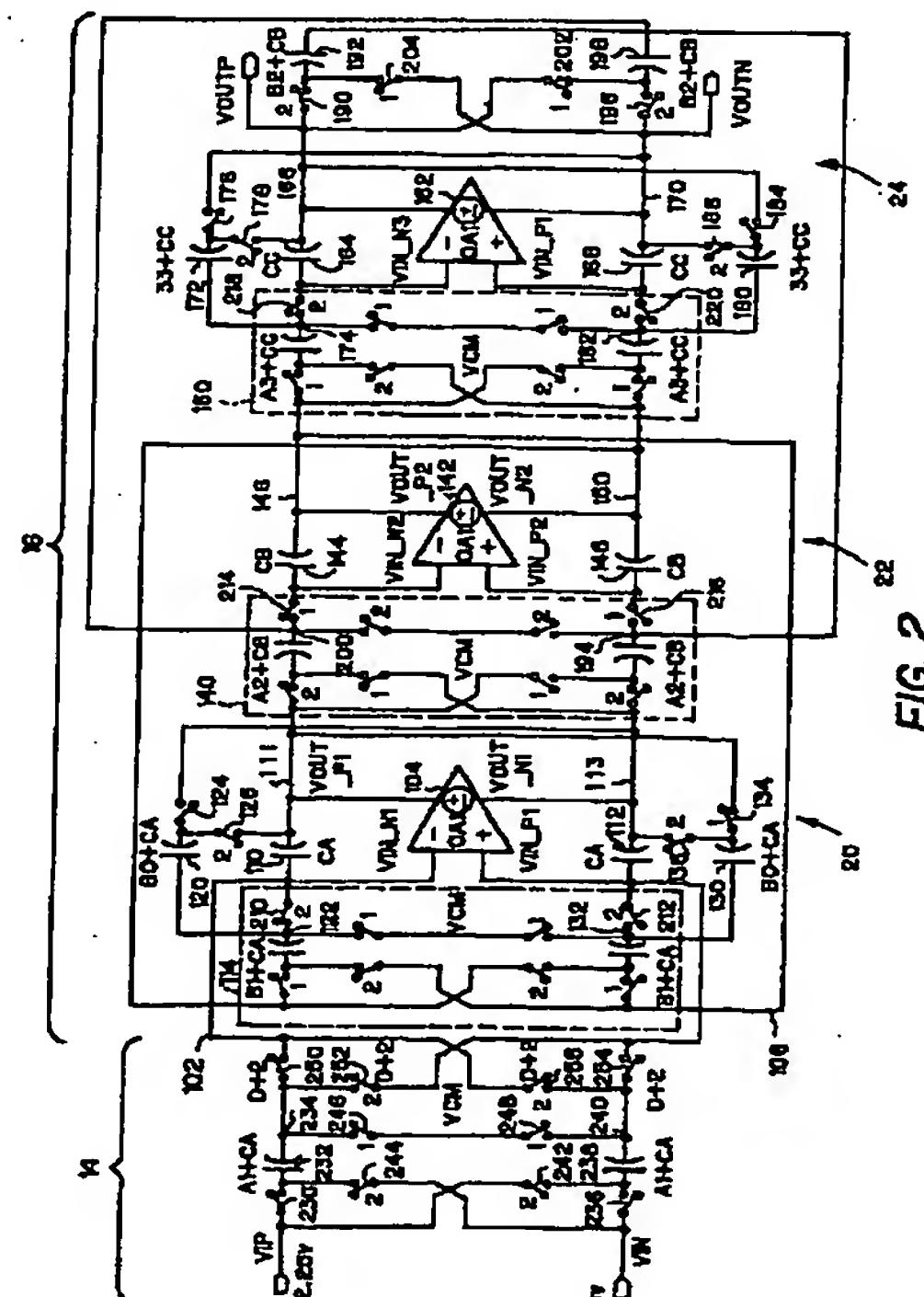
(71) 出願人 アナログ・ディバイセス・インコーポレーテッド  
アメリカ合衆国マサチューセッツ州02062,  
ノーウッド, ワン・テクノロジー・ウェイ  
(番地なし)  
(72) 発明者 ワン, トム・ダブリュー  
アメリカ合衆国マサチューセッツ州01867,  
リーディング, プレスコット・ストリート  
83  
(72) 発明者 ファーガソン, ポール・エフ, ジュニア  
アメリカ合衆国マサチューセッツ州01826,  
ドラカット, コロニアル・ドライブ 69  
(74) 代理人 弁理士 湯浅 荘三 (外6名)

最終頁に続く

(54) 【発明の名称】 2重サンプル形バイカッド・スイッチド・キャパシタ・フィルタ

(57) 【要約】

バイカッド・スイッチド・キャパシタ・フィルタがシグマ・デルタ・ディジタル/アナログ・コンバータにおける出力フィルタとして用いられることが望ましい。スイッチド・キャパシタ・フィルタは、両方のクロック位相において電荷をコンデンサへ送る交差結合スイッチド・キャパシタ回路を使用する。その結果、单一サンプリング回路と同じ電荷を送りながら、コンデンサのサイズを係数2だけ減じることができる。フィルタどこかに交差結合スイッチング回路を用いることにより、コンデンサの不整合に対する感応性が実質的に低減される。2つのフィルタ段を含む各ループの周囲に1クロック・サイクルの遅延があるようにフィルタ段に印加されるクロック位相が交番され、これによりフィルタの安定性を保証する。



**【特許請求の範囲】**

1. バイカッド・スイッチド・キャパシタ・フィルタにおいて、  
アナログ信号を受取る反転入力および非反転入力と、正の出力および負の出力  
とを持つ第1の演算増幅器と、該第1の演算増幅器の出力および反対の極性の入  
力との間に接続されたフィードバック・コンデンサとを含む第1段と、  
反転入力および非反転入力と正の出力および負の出力とを持つ第2の演算増幅  
器と、該第2の演算増幅器の前記出力および反対の極性の入力との間に接続され  
たフィードバック・コンデンサとを含む第2段と、  
第1および第2のクロック位相において、前記第1の演算増幅器の出力から第  
1の対のコンデンサへ電荷を結合し、かつ前記第2のクロック位相において前記  
第1の対のコンデンサから前記第2の演算増幅器へ電荷を結合する第1の交差結  
合スイッチド・キャパシタ回路と、  
前記第1および第2のクロック位相において、前記第2の演算増幅器の出力か  
ら第2の対のコンデンサへ電荷を結合し、かつ前記第1のクロック位相において  
前記第2の対のコンデンサから前記第1の演算増幅器の入力へ電荷を結合する第  
2の交差結合スイッチド・キャパシタ回路と  
を備えるバイカッド・スイッチド・キャパシタ・フィルタ。
2. 反転入力および非反転入力と正の出力および負の出力とを持つ第3の演算增  
幅器と、該第3の演算増幅器の前記出力および反対の極性の入力との間に接続さ  
れたフィードバック・コンデンサとを含む第3段と、  
前記第1および第2のクロック位相において、前記第2の演算増幅器の出力か  
ら第3の対のコンデンサへ電荷を結合し、前記第1のクロック位相において、前  
記第3の対のコンデンサから前記第3の演算増幅器の入力へ電荷を結合する第3  
の交差結合スイッチド・キャパシタ回路と、  
前記第1および第2のクロック位相において、前記第3の演算増幅器の出力か  
ら第4の対のコンデンサへ電荷を結合し、かつ前記第2のクロック位相において  
前記第4の対のコンデンサから前記第2の演算増幅器の入力へ電荷を結合する第

3の交差結合スイッチド・キャパシタ回路と  
を更に含むことを特徴とする請求の範囲第1項記載のバイカッド・スイッチド・  
キャパシタ・フィルタ。

3. 前記交差結合スイッチド・キャパシタ回路の各々が、1つのクロック位相の  
間に入力電圧を前記対のコンデンサへ結合する手段と、他のクロック位相の間に  
逆の極性を持つ前記入力電圧を前記対のコンデンサへ結合する手段とを含む請求  
の範囲第1項記載のバイカッド・スイッチド・キャパシタ・フィルタ。

4. 前記交差結合スイッチド・キャパシタ回路の各々がCMOSトランジスタに  
より構成される請求の範囲第1項記載のバイカッド・スイッチド・キャパシタ・  
フィルタ。

5. 前記交差結合スイッチド・キャパシタ回路の各々が、正の入力と、前記対の  
コンデンサの第1のコンデンサとの間に接続された第1のスイッチと、負の入力  
と前記対のコンデンサの第2のコンデンサとの間に接続された第2のスイッチと  
、前記正の入力と前記第2のコンデンサとの間に接続された第3のスイッチと、  
前記負の入力と前記第1のコンデンサとの間に接続された第4のスイッチと、1  
つのクロック位相を前記第1および第2のスイッチに印加する手段と、他のクロ  
ック位相を前記第3および第4のスイッチに印加する手段とを含む請求の範囲第  
1項記載のバイカッド・スイッチド・キャパシタ・フィルタ。

6. データ・ストリームをアナログ信号に変換する1ビット・ディジタル／アナ  
ログ・コンバータと、

バイカッド・スイッチド・キャパシタ・フィルタとの組合せにおいて、  
前記アナログ信号を受取る反転入力および非反転入力と、正の出力および負  
の出力とを持つ第1の演算増幅器と、該第1の演算増幅器の出力および反対の極  
性の入力との間に接続されたフィードバック・コンデンサとを含む第1段と、  
反転入力および非反転入力と正の出力および負の出力とを持つ第2の演算增  
幅器と、該第2の演算増幅器の前記出力および反対の極性の入力との間に接続さ  
れたフィードバック・コンデンサとを含む第2段と、

第1の対のコンデンサへ電荷を結合し、かつ前記第2のクロック位相において、前記第1の対のコンデンサから前記第2の演算増幅器の入力へ電荷を結合する第1の交差結合スイッチド・キャパシタ回路と、

前記第1および第2のクロック位相において、前記第2の演算増幅器の出力から第2の対のコンデンサへ電荷を結合し、かつ前記第1のクロック位相において、前記第2の対のコンデンサから前記第1の演算増幅器の入力へ電荷を結合する第2の交差結合スイッチド・キャパシタ回路と

を備える組合せ。

7. 前記1ビット・ディジタル／アナログ・コンバータが、1対のコンデンサと、前記第1および第2のクロック位相において基準源から前記対のコンデンサへ電荷を結合するスイッチング手段と、データに依存するスイッチ制御信号を用いて前記第2のクロック位相において前記対のコンデンサから前記バイカッド・スイッチド・キャパシタ・フィルタへ電荷を結合するスイッチング手段とを含む交差結合スイッチド・キャパシタ回路を含む請求の範囲第6項記載の組合せ。

8. 前記バイカッド・スイッチド・キャパシタ・フィルタが更に、反転入力および非反転入力と正の出力および負の出力とを持つ第3の演算増幅器と、前記第3の演算増幅器の前記出力および反対の極性の入力との間に接続されたフィードバック・コンデンサとを含む第3段と、

前記第1および第2のクロック位相において、前記第2の演算増幅器の出力から第3の対のコンデンサへ電荷を結合し、かつ前記第1のクロック位相において前記第3の対のコンデンサから前記第3の演算増幅器の入力へ電荷を結合する第3の交差結合スイッチド・キャパシタ回路と、

前記第1および第2のクロック位相において、前記第3の演算増幅器の出力から第4の対のコンデンサへ電荷を結合し、かつ前記第2のクロック位相において、前記第4の対のコンデンサから前記第2の演算増幅器の入力へ電荷を結合する第4の交差結合スイッチド・キャパシタ回路と

を含む請求の範囲第6項記載の組合せ。

9. 前記交差結合スイッチド・キャパシタ回路の各々が、1つのクロック位相に

において入力電圧を前記対のコンデンサへ結合する手段と、他のクロック位相において反対の極性を持つ前記入力電圧を前記対のコンデンサへ結合する手段とを含む請求の範囲第6項記載の組合せ。

10. 前記交差結合スイッチド・キャパシタ回路の各々がCMOSトランジスタにより構成される請求の範囲第6項記載の組合せ。

11. シグマ・デルタ・ディジタル／アナログ・コンバータにおいて、  
入力ディジタル信号のレートを増加して高いデータ・レートのディジタル信号  
を提供する内挿フィルタと、

高いデータ・レートのディジタル信号を整形された量子化ノイズを持つ1ビット  
信号へ変換するシグマ・デルタ変調器と、  
変調器出力をアナログ信号へ変換する1ビット・ディジタル／アナログ・コン  
バータと、

バイカッド・スイッチド・キャパシタ・フィルタと  
を備え、該フィルタが

前記アナログ信号を受取る反転入力および非反転入力と、正の出力および負  
の出力とを持つ第1の演算增幅器と、前記第1の演算增幅器の前記出力および反  
対の極性の入力との間に接続されたフィードバック・コンデンサとを含む第1段  
と、

反転入力および非反転入力と正の出力および負の出力とを持つ第2の演算增  
幅器と、前記第2の演算增幅器の前記出力および反対の極性の入力との間に接続  
されたフィードバック・コンデンサとを含む第2段と、

第1および第2のクロック位相において、前記第1の演算增幅器の出力から  
第1の対のコンデンサへ電荷を結合し、かつ前記第2のクロック位相において、  
前記第1の対のコンデンサから前記第2の演算增幅器の入力へ電荷を結合する第  
1の交差結合スイッチド・キャパシタ回路と、

前記第1および第2のクロック位相において、前記第2の演算增幅器の出力  
から第2の対のコンデンサへ電荷を結合し、かつ前記第1のクロック位相におい  
て、前記第2の対のコンデンサから前記第1の演算增幅器の入力へ電荷を結合す

る第2の交差結合スイッチド・キャパシタ回路と  
を含むシグマ・デルタ・ディジタル／アナログ・コンバータ。

## 【発明の詳細な説明】

## 2重サンプル形バイカッド・スイッチド・キャパシタ・フィルタ

## (技術分野)

本発明は、スイッチド・キャパシタ・フィルタに関し、特に2重サンプル形バイカッド・スイッチド・キャパシタ・フィルタ (double sampled bi quad switched capacitor filter) に関する。本発明のスイッチド・キャパシタ・フィルタは、シグマ・デルタ・ディジタル／アナログ・コンバータにおいて特に有効であるが、このような用途に限定されるものではない。

## (背景技術)

シグマ・デルタ・アナログ／ディジタル・コンバータ (ADC) およびディジタル／アナログ・コンバータ (DAC) は、最近、適当な処理技術の開発、およびディジタル・オーディオ用途および他の用途の増加と共に広く用いられるようになってきた。シグマ・デルタ・コンバータは、優れた線形性および低量子化ノイズを呈する。シグマ・デルタ ADC がオーバーサンプリング (ナイキスト・レートを超えるレートでのサンプリング) を利用する故に、シグマ・デルタ ADC の用途は典型的には計測、音声帯域および可聴周波数の範囲に限定されている。シグマ・デルタ ADC および DAC は、ADC、ディジタル信号処理および DAC 機能がモノリシック技術で集積される混合信号集積回路において特に有効である。

シグマ・デルタ DAC の重要な構成要素は、1ビット・ディジタル／アナログ・コンバータから入力を受取るアナログ出力フィルタである。この 1ビット DAC 出力は、出力フィルタにより平均化されてアナログ出力信号を生じる。出力フィルタは、比較的高い周波数範囲で整形された量子化ノイズを除去し、ナイキスト・サンプリング・レートのイメージを阻止する。出力フィルタは、典型的に幾つか

の段 (stage) を含み、振幅応答および位相応答、高周波の除波およびノイズについての厳しい要件を満たさねばならない。

スイッチド・キャパシタ出力フィルタは、その集積回路処理との共用性の故に可聴帯域および音声帯域の濾波用にしばしば用いられる。典型的には、スイッチド・キャパシタ・フィルタの基本要素は1つのコンデンサと2つのスイッチである。電荷は、第1のクロック位相時に電圧源から第1のスイッチを介してキャパシタへ送られる。第2のクロック位相時に、この第1のスイッチが開路され、電荷がキャパシタから第2のスイッチを介して出力へ送られる。スイッチは、典型的にはCMOSトランジスタとして実現される。可聴帯域フィルタにおいては、大きな値の抵抗をスイッチド・キャパシタで置換することができ、結果として100程度の係数で面積の減少をもたらすことになる。多数のコンデンサを用いるスイッチド・キャパシタ・フィルタの別の利点は、フィルタ帯域幅が絶対値ではない容量比に比例することである。

スイッチド・キャパシタは、能動型フィルタにおいてしばしば用いられる。この場合、スイッチド・キャパシタ回路は、演算増幅器の入力とフィードバックの両経路において用いられる。例示的なスイッチド・キャパシタ積算器が、M. S. arhang-Nejad等の「ディジタル補正を行う真の16ビットの20KHz多重ビット・シグマ・デルタ・ADC (A True 16-Bit 20 KHz Multibit Sigma Delta ADC With Digital Correction)」(IEEE 1992 Custom Integrated Circuits Conference Proceedings, 16. 4. 1乃至16. 4. 4ページ)により開示されているが、この文献はスイッチド・キャパシタ・フィルタの多くの事例を含む。バイカッド・スイッチド・キャパシタとして知られるスイッチド・キャパシタ・フィルタは、D. B. Ribner等の「高周波スイッチド・キャパシタ・フィルタに対するバイカッド形代替物 (Biquad Alternatives for High Frequency Switched Capacitor Filter)」

ers)」(IEEE Journal of Solid State Circuits、第SC-20巻、第6部、1985年12月、1085~1095ページ)、およびD. Senderowicz等の「PCMコーデック・フィルタ・チップに対する差動NMOSアナログ回路ファミリ(A Family of Differential NMOS Analog Circuits for a PCM Codec Filter Chip)」(IEEE Journal of Solid State Circuits、第SC-17巻、第6部、1982年12月、1014~1023ページ)により開示されている。

全ての公知の従来技術のバイカッド・スイッチド・キャパシタ・フィルタは、比較的大きなチップ面積要件、コンデンサの不整合に対する感応性および比較的高いノイズ出力を含む1つ以上の制約を持つものであった。

#### (発明の概要)

本発明によれば、バイカッド・スイッチド・キャパシタ・フィルタは、アナログ信号を受取る反転および非反転入力と正および負の出力とを持つ第1の演算增幅器と、この第1の演算増幅器の出力と反対の極性の入力との間に接続されたフィードバック・コンデンサとを含む第1段と、反転および非反転入力と正および負の出力とを持つ第2の演算増幅器と、この第2の演算増幅器の出力および反対の極性の入力との間に接続されたフィードバック・コンデンサとを含む第2段と、第1および第2のクロック位相時に第1の演算増幅器の出力からの電荷を第1の対のコンデンサへ結合し、かつ第2のクロック位相時に第1の対のコンデンサからの電荷を第2の演算増幅器の入力へ結合する第1の交差結合されたスイッチド・キャパシタ回路と、第1および第2のクロック位相時に第2の演算増幅器の出力からの電荷を第2の対のコンデンサへ結合し、かつ第1のクロック位相時に第2の対のコンデンサからの電荷を第1の演算増幅器へ結合する第2の交差結合されたスイッチド・キャパシタ回路とを含む。

バイカッド・スイッチド・キャパシタ・フィルタは更に、反転および非反転入力と正および負の出力とを持つ第3の演算増幅器と、この第3の演算増幅器の出

力と反対の極性の入力との間に接続されたフィードバック・コンデンサとを含む第3段と、第1および第2のクロック位相時に第2の演算増幅器の出力からの電荷を第3の対のコンデンサへ結合し、かつ第1のクロック位相時に第3の対のコンデンサからの電荷を第3の演算増幅器の入力へ結合する第3の交差結合されたスイッチド・キャパシタ回路と、第1および第2のクロック位相時に第3の演算増幅器の出力からの電荷を第4の対のコンデンサへ結合し、かつ第2のクロック位相時に第4の対のコンデンサからの電荷を第2の演算増幅器の入力へ結合する第4の交差結合されたスイッチド・キャパシタ回路とを含むことが望ましい。

第1および第2の両クロック位相時に電荷がスイッチド・キャパシタ回路におけるコンデンサへ結合される構成を用いることにより、回路におけるコンデンサの大きさは、同じ電荷を送る場合でも唯一つのクロック位相時に電荷が結合される回路と比較して2の係数 (factor of two) だけ減じることができる。各段における演算増幅器へ与えられる入力の位相を変化させることにより、2段からなるループにおいて1クロック・サイクルの遅れが生じ、安定した動作が保証される。

本発明のバイカッド・スイッチド・キャパシタ・フィルタは、入力データ信号のデータ速度を増加するための内挿フィルタと、整形された量子化ノイズで高い速度のデータ信号を1ビット信号へ変換して変調器出力を生じるシグマ・デルタ変調器と、変調器出力をアナログ信号へ変換する1ビット・ディジタル／アナログ・コンバータと、アナログ信号を平均化して高周波成分を除去し出力フィルタとを含むシグマ・デルタ・ディジタル／アナログ・コンバータにおいて用いられることが望ましい。バイカッド・スイッチド・キャパシタ・フィルタは、出力フィルタとして用いられる。

本発明を他の目的および本発明の利点および能力と共に更によく理解するためには、参考のため本文に援用される添付図面が参照される。

(図面の簡単な説明)

図1は、シグマ・デルタ・ディジタル／アナログ・コンバータのブロック

図、

図2は、本発明の望ましい実施例による1ビット・ディジタル／アナログ・コンバータおよび2重サンプリング・スイッチド・キャパシタ出力フィルタの概略図。

図3Aは、単一サンプリング・スイッチド・キャパシタ回路の概略図、

図3Bは、2重サンプリング・スイッチド・キャパシタ回路の概略図、

図3Cは、図3Aおよび図3Bに示された回路の動作を示すタイミング図、

図4Aは、2重サンプリング・スイッチド・キャパシタ積算器の概略図、および

図4Bは、図4Aの2重サンプリング・スイッチド・キャパシタ積算器のZ領域相当部分を示す。

#### (実施例)

従来のシグマ・デルタ・ディジタル／アナログ・コンバータ(DAC)のブロック図が図1に示される。8KHzの速度で更新されて4KHzの帯域幅を持つ音声帯域幅出力信号を生じる16ビットDACの一例として典型的な信号が示される。線8における16ビットのディジタル・ワードが、サンプリング・レートがオーバーサンプリング比128に対応する1.024MHzまで増加されるデジタル内挿フィルタ10を介して送られる。デジタル内挿プロセス(digital interpolation process)は、より低い速度のデジタル信号からのより高い速度のデジタル信号の再構成と見做すことができる。入力信号は、データ・サンプル間にゼロ値サンプルを挿入することにより拡張される。結果として得る信号は低域通過フィルタで濾波されて、サンプル・レート(sample rate)がオーバーサンプリング・レシオに等しい係数だけ増加させられる。

デジタル入力シグマ・デルタ変調器12が、16ビットの1024MHzデータ・ストリームを量子化ノイズが高周波レンジに整形された1ビット・データ・ストリームへ量子化する。ノイズ整形伝達関数(noise shaping transfer function)は、典型的には、1ビット量子化器を含

むループにおける無限インパルス応答フィルタ (infinite impulse response filter) でデジタル領域において実現される。量子化ノイズは、有効に高域通過フィルタで濾波される。デジタル入力シグマ・デルタ変調器12の出力は、1ビット・デジタル/アナログ・コンバータ14へ与えられる。この1ビットD A C 14の串力は、高周波に大量の量子化ノイズを含み、このノイズは出力フィルタ16によって除去される。このフィルタの出力は、4 K H z の帯域幅を持つアナログ信号である。出力フィルタ16はまた、より高い周波数レンジにおける整形された量子化ノイズを除去し、信号帯域幅より高いイメージを除波する。出力フィルタ16は、システム全体の要件を満たすフィルタ特性を持たねばならない。例えば、オーディオ・システムは、高周波成分の適当な除波を行いながら、位相および振幅の応答が保存されることを必要とする。

本発明は、新規な出力フィルタ16に関するものである。1ビットD A C 14および出力フィルタ16の本発明における望ましい実施例の概略図が図2に示される。フィルタ16は、第1段20と、第2段22と、第3段24とを含み、以下において詳細に述べる如き2重サンプリング・バイカッド・スイッチド・キャパシタ・フィルタ構造を使用する。回路図においては、各スイッチは番号1または番号2と共に従来のスイッチ記号により表わされて各スイッチが閉路される対応するクロック位相を示す。各クロック・サイクルは、2つの重ならない位相、即ち位相1と位相2を含む。これらのスイッチはCMOSトランジスタとして構成されることが望ましい。各コンデンサの両方の極板はポリシリコン材料で作られることが望ましい。

図2のフィルタで使用されるスイッチド・キャパシタ回路は、図3A乃至図3Cに関して記述する。單一サンプリング・スイッチド・キャパシタ回路は図3Aに示される。（この回路は、図2のフィルタには使用されないが、使用される2重サンプリング回路の理解を容易にするため示される。）コンデンサ30、32は、電荷を平衡入力電圧源 $V_s/2$ 、 $-V_s/2$ から仮想接地を提供する演算増幅器（図示せず）の入力へ送る。スイッチ34、36はコンデンサ30と直列に接

続され、スイッチ38、40はコンデンサ32と直列に接続される。スイッチ42、44は、コンデンサ30の両側と接地間に接続され、スイッチ46、48はコンデンサ32の両側と接地間に接続される。各スイッチの横の番号1、2は、スイッチを閉路させるクロック位相を示す。電荷は、クロック位相1では入力電圧源からコンデンサ30、32へ送られ、クロック位相2ではコンデンサ30、32から（演算増幅器の入力）出力へ送られる。

2重サンプリング・スイッチド・キャパシタ回路が図3Bに示される。図3Bに示されるスイッチド・キャパシタ回路は、重要な点を除いて、図3Aの回路に類似する。スイッチ42、46は、接地されない。その代わり、スイッチ42はコンデンサ30と負の電圧入力 $-V_s/2$ 間に接続される。スイッチ46は、コンデンサ32と正の電圧入力 $V_s/2$ 間に接続される。交差結合された入力形態を持つ図3Bに示された回路は、位相1の終りと位相2の終りにクロック周期毎に2回入力をサンプルする。クロック位相1の間変化する入力電圧の場合は、図3Bに示された2重サンプリング・スイッチド・キャパシタ回路が、同じ容量に対して図3Aに示された単一サンプリング・スイッチド・キャパシタ回路として信号電荷を2回送る特徴を有する。反対に、図3Bの回路を用いることによって、同じ電荷をキャパシタンス（capacitance）容量の半分で送ることができる。

種々のクロック位相におけるコンデンサ30の電圧と、コンデンサ30により送られる電荷が、单一サンプリング・スイッチド・キャパシタ回路について図3Aに示され、2重サンプリング・スイッチド・キャパシタ回路については図3Bに示される。各回路の動作は、図3Cに示される。

2重サンプリング・スイッチド・キャパシタ積算器が図4Aに示される。2重サンプリング・スイッチド・キャパシタ（double sampling switched capacitor circuit）回路60が、電圧源 $V_s/2$ 、 $-V_s/2$ から入力を受取り、正の出力を演算増幅器62の反転入力へ、また負の出力を演算増幅器62の非反転入力へ与える。スイッチド・キャパシタ回路60は、図3Bに示され先に述べた2重サンプリング・スイッチド・キャパ

シタ回路50の交差結合形態を有する。フィードバック・コンデンサ64は、正の出力と演算増幅器62の反転入力間に接続され、フィードバック・コンデンサ66は、負の出力と演算増幅器62の非反転入力間に接続される。フィードバック・コンデンサ68は、1つのリードが交差結合スイッチド・キャパシタ回路60のノード70に接続されている。コンデンサ68の他のリードは、スイッチ72を介して演算増幅器62の正の出力へ、またスイッチ74を介して演算増幅器62の負の出力へ接続される。フィードバック・コンデンサ78は、1つのリードが交差結合スイッチド・キャパシタ回路60のノード80へ接続されている。コンデンサ78の他のリードは、スイッチ82を介して演算増幅器62の負の出力へ、またスイッチ84を介して演算増幅器62の正の出力へ接続される。

2重サンプリング・スイッチド・キャパシタ積算器 (double switchched capacitor integrator) の動作は図4Aに示される。スイッチド・キャパシタ積算器のZ領域相当部分が図4Bに示される。伝達関数は遅れが無い。図示の如きスイッチド・キャパシタ積算器を用いる2つの積算器ループは、遅れの無いループを含む故に不安定となる。しかし、2つの積算器のクロック位相が交番するならば、1つのサンプルの遅れはループを1周して得られる。交番するクロック位相に対する要件は、偶数次の内部積算器のみが実現可能であることを示唆する。このため、各積算器は、先行する積算器に関する電荷減衰位相において交番する。

再び図2において、1ビットDAC14の正の出力102は、第1段20における演算増幅器104の反転入力へ接続され、1ビットDAC14の負の出力106は演算増幅器104の非反転入力へ接続される。フィードバック・コンデンサ110は、正の出力111と演算増幅器104の反転入力間に接続され、フィードバック・コンデンサ112は、負の出力113と演算増幅器104の非反転入力間に接続される。

本文で用いられる如く、用語「正の出力 (positive output)」および「負の出力 (negative output)」は相対的な用語である。回路が正および負の電源から動作させられる時、出力は実際に接地に対して正お

より負である。しかし、この回路は単一電圧の電源から動作させられる。この場合、両方の出力は、正の出力が負の出力に関して正であれば、正または負いいずれでもよい。

交差結合スイッチド・キャパシタ回路114は、その出力が演算増幅器104の反転および非反転入力へ接続されている。スイッチド・キャパシタ回路114は、図3Bに示され先に述べたスイッチド・キャパシタ回路50と同じ形態を有する。フィードバック・コンデンサ120は、1つのリードが交差結合スイッチド・キャパシタ回路114のノード122に接続されている。フィードバック・コンデンサ120の他のリードは、スイッチ124を介して演算増幅器104の負の出力113へ接続され、かつスイッチ126を介して演算増幅器104の正の出力111へ接続される。フィードバック・コンデンサ130は、1つのリードが交差結合スイッチド・キャパシタ回路114のノード132へ接続されている。フィードバック・コンデンサ130の他のリードは、スイッチ134を介して演算増幅器104の正の出力111へ接続され、かつスイッチ136を介して演算増幅器104の負の出力113へ接続される。

演算増幅器104の正の出力111および負の出力113は、それぞれ交差結合スイッチド・キャパシタ回路140を介して第2段22の演算増幅器142の反転入力および非反転入力へ接続される。交差結合スイッチド・キャパシタ回路140は、図3Bに示され先に述べたスイッチド・キャパシタ回路50と同じ構成を有する。フィードバック・コンデンサ144は、正の出力146と演算増幅器142の反転入力間に接続され、フィードバック・コンデンサ148は、負の出力150と非反転入力間に接続される。

演算増幅器142の正の出力146は、スイッチド・キャパシタ回路114の負の入力へ接続され、演算増幅器142の負の出力150は、スイッチド・キャパシタ回路114の正の入力へ接続される。演算増幅器142の出力とスイッチド・キャパシタ回路114の入力間の接続は、第1段20と第2段22の周囲に閉ループを形成する。第1段20と第2段22の閉ループ形態は、バイカッド・スイッチド・キャパシタ・フィルタを構成する。

演算増幅器142の正の出力146および負の出力150は、それぞれ交差結合スイッチド・キャパシタ回路160を介して第3段24における演算増幅器162の反転入力および非反転入力へ接続される。フィードバック・コンデンサ164は、演算増幅器162の正の出力166と非反転入力間に接続され、フィードバック・コンデンサ168は、演算増幅器162の負の出力170と非反転入力間に接続される。フィードバック・コンデンサ172は、第1のリードがスイッチド・キャパシタ回路160のノード174に接続されている。フィードバック・コンデンサ172の他のリードは、スイッチ176を介して演算増幅器162の負の出力170へ接続され、かつスイッチ178を介して演算増幅器162の正の出力166へ接続される。フィードバック・コンデンサ180は、1つのリードがスイッチド・キャパシタ回路160のノード182へ接続されている。

フィードバック・コンデンサ180の他のリードは、スイッチ184を介して演算増幅器162の正の出力166へ接続され、かつスイッチ186を介して演算増幅器162の負の出力170へ接続される。

正の出力166および負の出力170は、それぞれバイカッド・スイッチド・キャパシタ・フィルタの正の出力と負の出力とを構成する。正の出力166は、スイッチ190およびコンデンサ192を介して第2段22のスイッチド・キャパシタ回路140におけるノード194へ接続される。負の出力170は、スイッチ196およびコンデンサ198を介して第2段22のスイッチド・キャパシタ回路140におけるノード200へ接続される。正の出力166は、スイッチ202を介してコンデンサ198へ交差結合され、負の出力170は、スイッチ204を介してコンデンサ192へ交差結合される。第3段24の出力から第2段22の入力に対する接続は、第2段22と第3段24の周囲に閉ループを形成する。第2段22および第3段24は、バイカッド・スイッチド・キャパシタ・フィルタを構成する。図2に示された構造は、一般に「はしご形」または「馬跳び形（leapfrog）」のフィルタ構造として知られる。典型的には、フィードバック・コンデンサ120、130、172、180は、第1段と最終段でのみ使用される。一例において、図2に示されたフィルタは、0.1dBの通過帯域

リップルと 25 KHz の帯域幅を有する 3 次チェビシェフ (Chebychc v) フィルタである。サンプリング・レートは 3072 KHz である。

図 2 に示されたバイカッド・スイッチド・キャパシタ・フィルタ構造は、優れた性能を提供する重要な特徴を有する。信号の交差結合は、スイッチド・キャパシタ回路 114、140 および 160 を含むフィルタ、およびコンデンサ 192、198 およびスイッチ 190、196、202 および 204 を含むスイッチド・キャパシタ回路のどこでも使用される。更に、信号の交差結合は、第 1 段 20 のフィードバック・コンデンサ 120、130 を含み、かつ第 3 段 24 のフィードバック・コンデンサ 172、180 を含む各対の段の周囲のフィードバック経路において使用される。回路のどこかにおける交差結合の使用は、回路動作における幾つかの利点を生じる。交差結合形態は、交差結合を用いないかあるいは積算器入力にのみ交差結合を用いるフィルタと比較して付加項 (additive term) を持つ伝達関数を生じる。この付加項は、フィルタ回路において用いられる小さなキャパシタンス値で生じる傾向を有するコンデンサの不整合に対する伝達関数の感応度を著しく減じる。更にまた、開示されたフィルタ構造は、同じ信号対雑音比でコンデンサのサイズを係数 4 だけ減じることを可能にする。コンデンサ・サイズの低減もまた、演算増幅器に課される負荷が係数 4 だけ減じられるので、回路における演算増幅器の電力および面積の低減を可能にする。

更に、フィルタのどこかにおける交差結合の使用は、演算増幅器の出力における過渡状態を減じる傾向を有する。各演算増幅器の出力における信号は、各クロック位相においてこの出力に送られる電荷の和の積分である。ある経路が両方のクロック位相で電荷を送る時、また交差結合が回路のどこでも用いられない時に生じるように他の経路が 1 つのクロック位相でのみ電荷を送る時、演算増幅器の過渡状態を小さく保持しようとする電荷の打消しが生じない。この場合、設計は大きな出力エキスカーションを勘案しなければならず、かつダイナミック・レンジが減少する。

図 2 に示されたバイカッド・スイッチド・キャパシタ・フィルタの更なる特徴

は、各段のクロック位相が交互になることである。このため、第1段20のスイッチド・キャパシタ回路114におけるスイッチ210、212は、クロック位相2において演算増幅器104の入力へ電荷を送る。第2段22の交差結合スイッチド・キャパシタ回路140におけるコンデンサ214、216は、クロック位相1において演算増幅器142の入力へ電荷を送る。第3段24のスイッチド・キャパシタ回路160におけるコンデンサ218、220は、クロック位相2において演算増幅器162の入力へ電荷を送る。交番するクロック位相の故に、各バイカッド・スイッチド・キャパシタ・フィルタのフィードバック・ループにおいて1クロック・サイクルの遅れが存在し、安定な動作が保証される。

1ビットD A C 14は、スイッチド・キャパシタ構造を使用する。基準電圧の正の側は、スイッチ230を介してコンデンサ232の第1のリードへ接続される。コンデンサ232の第2のリードはノード234へ接続される。基準電圧の負の側は、スイッチ236を介してコンデンサ238の第1のリードへ接続される。コンデンサ238の第2のリードは、ノード240へ接続される。基準電圧の正の側もまた、スイッチ242を介してコンデンサ238の第1のリードへ接続され、基準電圧の負の側はスイッチ244を介してコンデンサ232の第1のリードへ接続され、これにより交差結合された入力形態を提供する。ノード234は、スイッチ246を介して回路接地へ接続され、ノード240はスイッチ248を介して回路接地へ接続される。ノード234は、スイッチ250を介して演算増幅器104の反転入力へ接続され、かつスイッチ252を介して演算増幅器104の非反転入力へ接続される。ノード240は、スイッチ254を介して演算増幅器104の非反転入力へ接続され、かつスイッチ256を介して演算増幅器104の反転入力へ接続される。スイッチ250、252、254および256は、第1段20の入力に対する交差結合形態を形成する。

スイッチ250、252、254、256は、回路における他のスイッチを制御する位相1および位相2のクロック信号とは異なる信号によって制御される。特に、スイッチ250、254は、クロック位相2でシグマ・デルタ変調器12(図1)のデータ出力を論理的にANDすることにより形成される信号によって

制御される。同様に、スイッチ252、256は、クロック位相2でシグマ・デルタ変調器12の反転データ出力を論理的にANDすることにより形成される信号によって制御される。このように、コンデンサ232、238からフィルタ16に対する電荷の送出は、データに依存するスイッチングによって制御される。

1ビットD A C 14の交差結合形態は、バイカッド・スイッチド・キャパシタ・フィルタに関して先に述べた同じ方法でコンデンサ値の低減を可能にする。

例示としてのみ開示された本発明の望ましい実施例で現在考えられることについて記述したが、当業者には、本文に述べかつ請求の範囲に記載する如き本発明ならびにその相当技術の趣旨および範囲から逸脱することなく種々の変更および修正が可能であることが明らかであろう。

【図1】

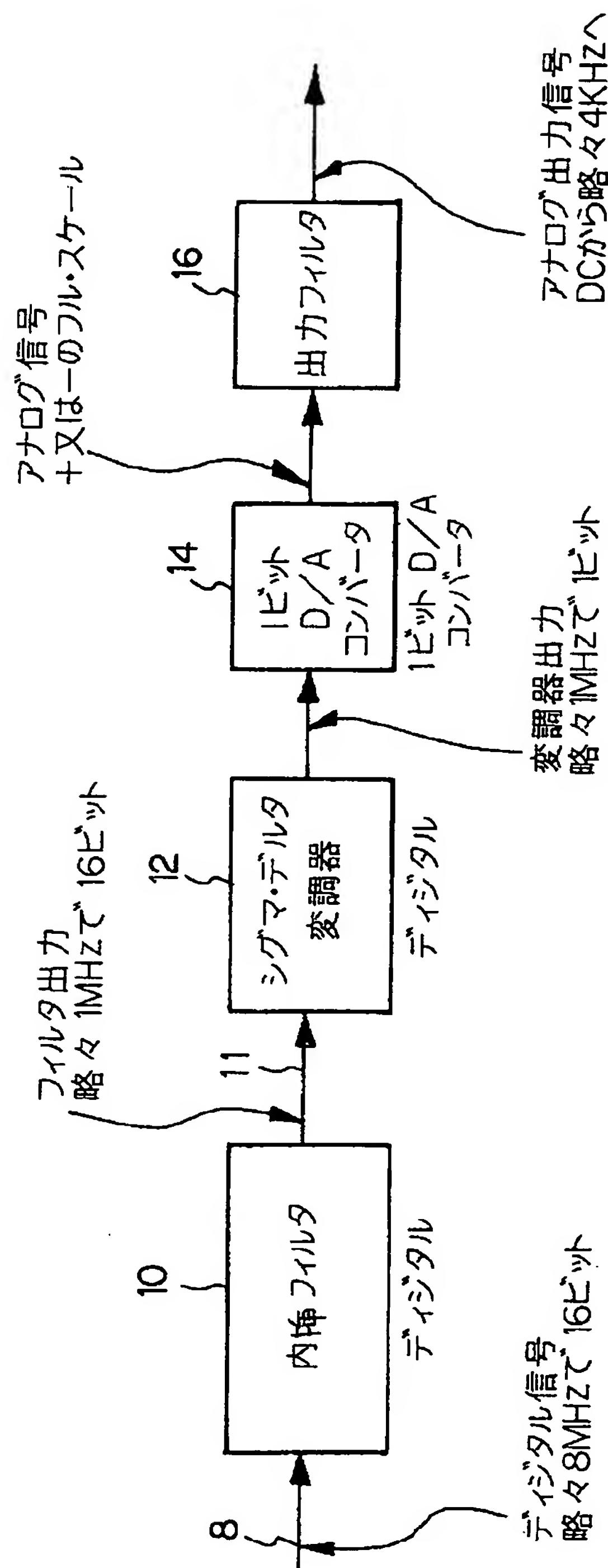
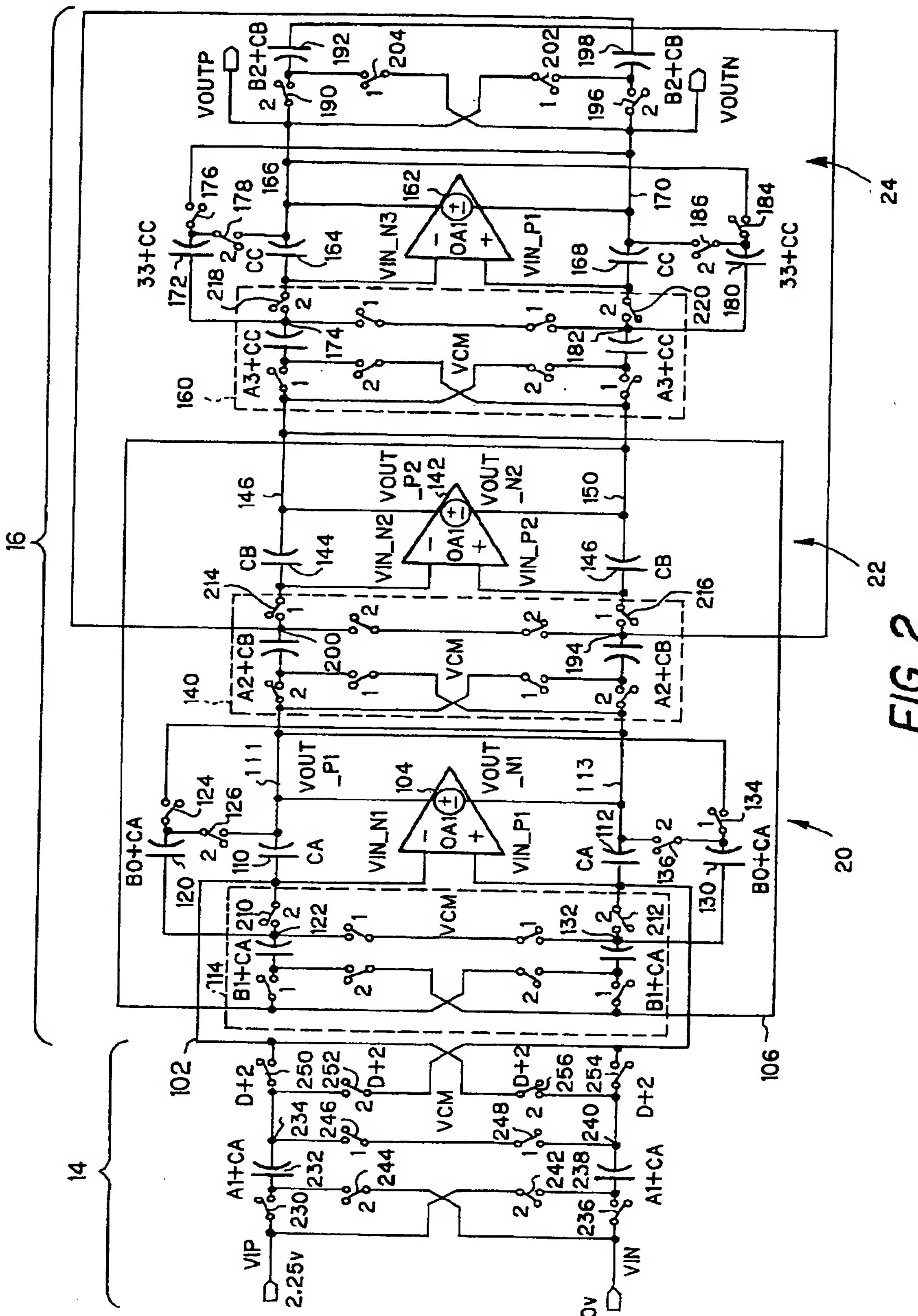
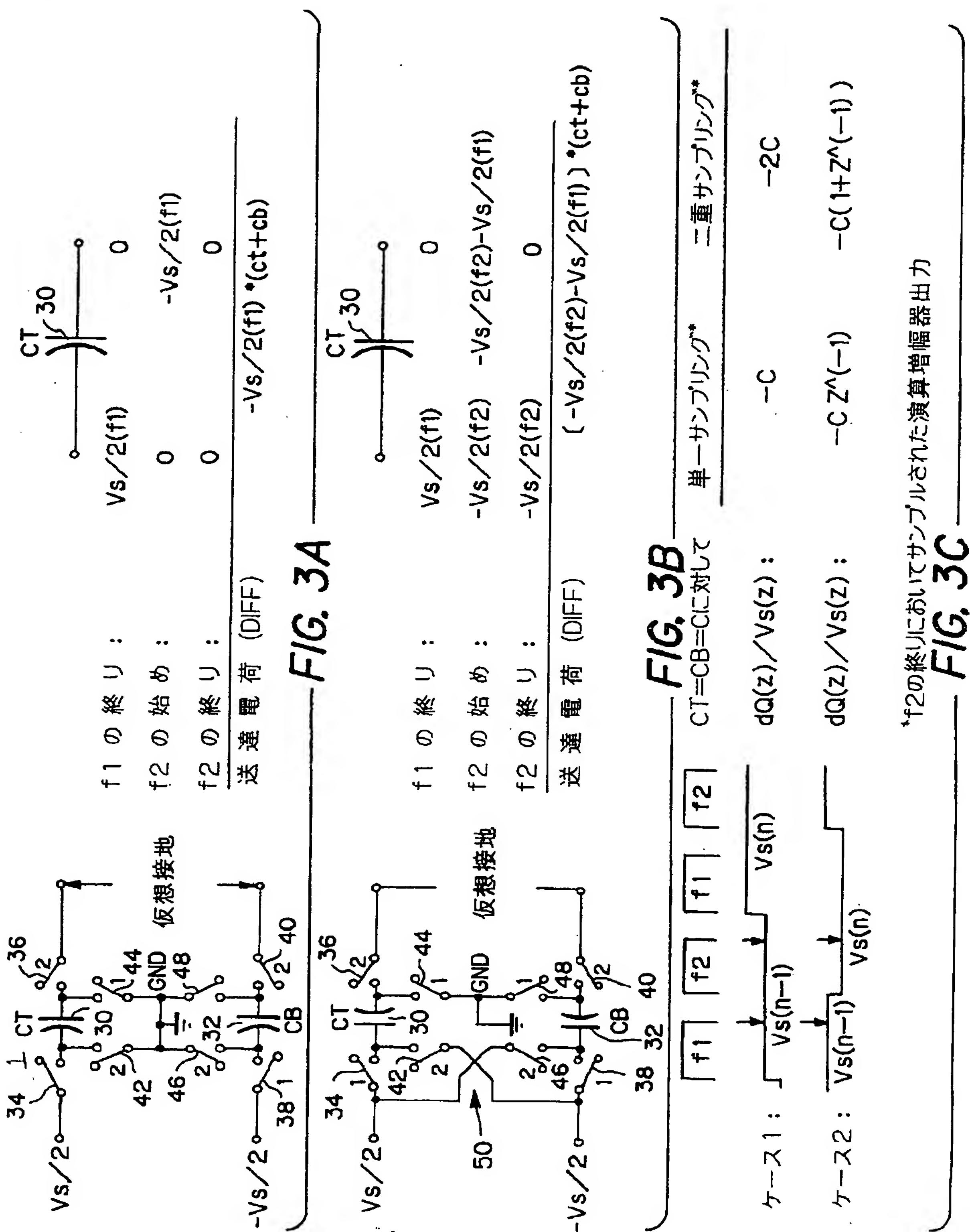


FIG. 1 (従来技術)

【図2】



【図3】



【図4】

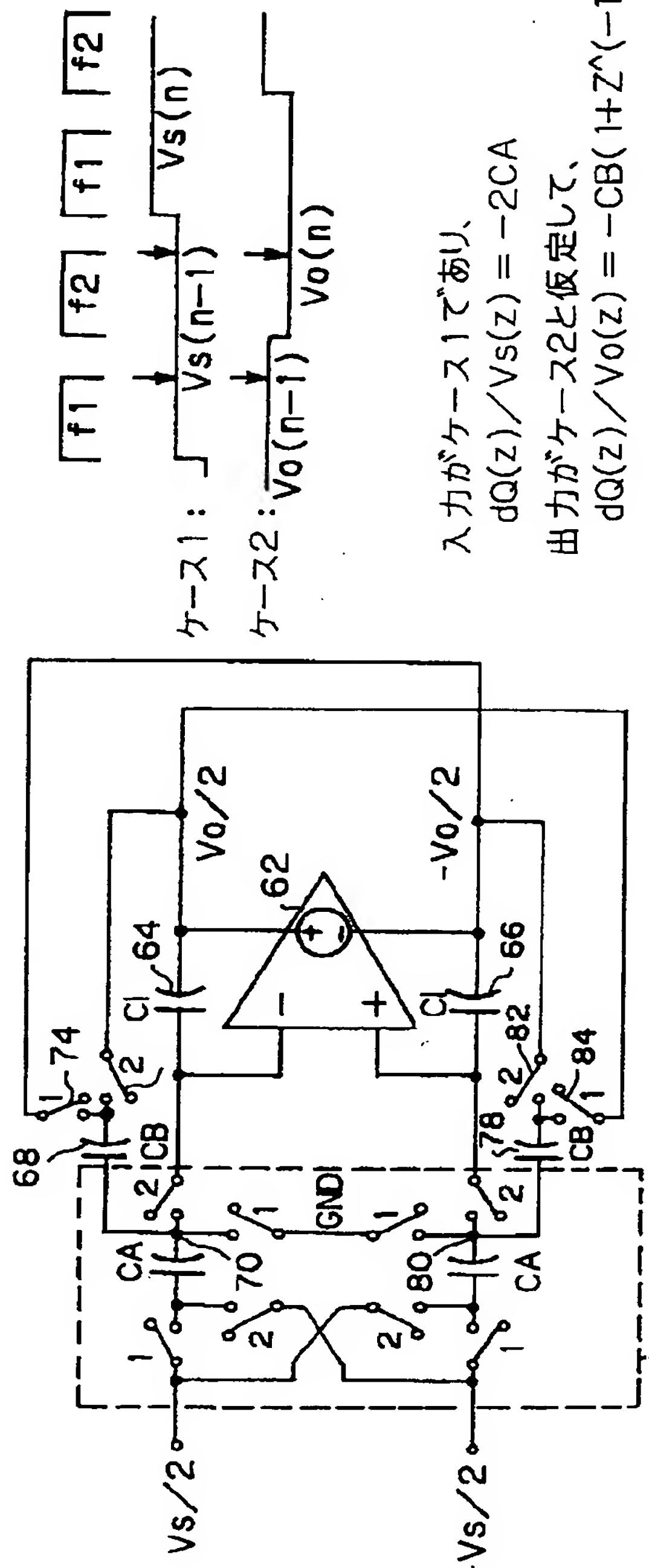


FIG. 4A

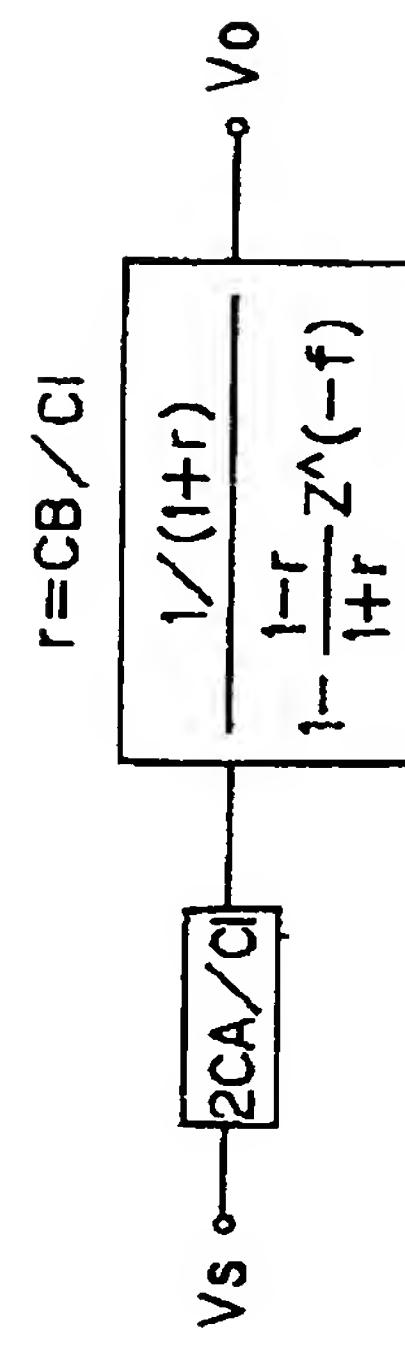


FIG. 4B

無遅延積算器

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/US 94/03785

|   |   |  |
|---|---|--|
| A. CLASSIFICATION OF SUBJECT MATTER<br>IPC 5 H03H19/00  |   |  |
| According to International Patent Classification (IPC) or to both national classification and IPC   |   |  |
| B. FIELDS SEARCHED<br>Minimum documentation searched (classification system followed by classification symbols)<br>IPC 5 H03H   |   |  |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched   |   |  |
| Electronic data base consulted during the international search (name of data base and, where practical, search terms used)  |   |  |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT  |   |  |
| Category *  | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No.  |
| X   | US,A,4 862 121 (J.R. HOCHSCHILD E.A.) 29 August 1989<br>see the whole document  | 1,3-5  |
| Y   | ---   | 6-11   |
| Y   | IEEE JOURNAL ON SELECTED AREAS IN COMMUNICATION,<br>vol.6, no.3, April 1988, NEW YORK US<br>pages 520 - 526<br>V. FRIEDMAN E.A. 'A bit-slice architecture<br>for sigma-delta analog to digital<br>converters.'<br>see figures 1,9 | 6-11   |
| A   | US,A,4 574 250 (D. SENDEROWICZ) 4 March<br>1986<br>see the whole document   | 1-11   |
|   | ---   | -/-  |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.  |   | <input checked="" type="checkbox"/> Patent family members are listed in annex. |
| * Special categories of cited documents :   |   |  |
| 'A' document defining the general state of the art which is not considered to be of particular relevance  |   |  |
| 'E' earlier document but published on or after the international filing date  |   |  |
| 'I' document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)                 |   |  |
| 'O' document referring to an oral disclosure, use, exhibition or other means  |   |  |
| 'P' document published prior to the international filing date but later than the priority date claimed  |   |  |
| Date of the actual completion of the international search<br><br>22 July 1994   |   | Date of mailing of the international search report<br><br>09.08.94             |
| Name and mailing address of the ISA<br>European Patent Office, P.O. Box 5000 Patenlaan 2<br>NL - 2280 HV Rijswijk<br>Tel. (+31-70) 340-2040, Tx. 31 651 epenl,<br>Fax (+31-70) 340-3016 |   | Authorized officer<br><br>Deconinck, E   |

**INTERNATIONAL SEARCH REPORT**

International Application No.  
PCT/US 94/03785

| Cited publications/documents considered to be relevant |   |                       |
|--|---|-----------------------|
| Category   | Citation of document, with indication, where appropriate, of the relevant passages<br><br>-----   | Relevant to claim No. |
| A  | IEEE JOURNAL OF SOLID-STATE CIRCUITS,<br>vol.SC-21, no.4, August 1986, NEW YORK US<br>pages 544 - 554<br>CHENG-CHUNG SHIH E.A. 'Reference<br>refreshing cyclic analog to digital and<br>digital to analog converters.'<br>see the whole document<br>----- | 1-11                  |

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

 Inter. nat Application No  
**PCT/US 94/03785**

| Patent document cited in search report | Publication date | Patent family members |         | Publication date |
|--|------------------|-----------------------|---------|------------------|
| US-A-4862121                           | 29-08-89         | NONE                  |         |                  |
| -----                                  | -----            | -----                 |         | -----            |
| US-A-4574250                           | 04-03-86         | US-A-                 | 4633223 | 30-12-86         |
|  |                  | US-A-                 | 4633425 | 30-12-86         |
|  |                  | US-A-                 | 4599573 | 08-07-86         |
|  |                  | -----                 |         | -----            |

フロントページの続き

(72)発明者 リー, ウイ・エル  
アメリカ合衆国マサチューセッツ州01887,  
ウィルミントン, デービス・ロード 7